



Grundlagen der Rechnerarchitektur und Informatik

SS 2006 – Übungsblatt 10

Ausgabe: 28. Juni 2006

Aufgabe 1. *byte ordering*

Was ist unter „little endian“ (little end first, least significant byte first) und „big endian“ (big end first, most significant byte first) zu verstehen? Erläutern Sie das NUXI-Problem beim Datentransfer zwischen verschiedenen Computern.

Wo — außer beim Netzwerk-Datentransfer — kann das „byte ordering“-Problem im DV-Alltag Probleme bereiten?

Aufgabe 2. *CSMA/CD*

Wofür steht das Akronym *CSMA/CD*? Erläutern Sie das damit bezeichnete Verfahren am Beispiel des Funkverkehrs mehrerer Funkstationen, die gemeinsam nur eine Funkfrequenz benutzen.

Aufgabe 3. *Entwicklungen bei Intels 80x86-CPU's*

Informieren Sie sich unter

http://www.intel.com/museum/online/hist_micro/hof/index.htm?iid=intelmuseum+home.behof&

über die Historie der Intel-Prozessoren. Skizzieren Sie Ihre Rechercheergebnisse in einem kurzen Bericht (berücksichtigen Sie dabei bitte auch technische Einzelheiten wie Wortbreite, Taktrate u.ä.).

Aufgabe 4. *CISC*

Diskutieren Sie CPUs mit „reinem“ Hardware-Decoder (ohne Mikroprogramm), und vergleichen Sie sie mit mikro- oder gar nano-programmierten CPUs.

Was sind „wait states“ und welche Vor- bzw. Nachteile sind damit verbunden? Gehen Sie bei Ihrer Erläuterung von der Beschreibung in <http://wombat.doc.ic.ac.uk/foldoc/foldoc.cgi?wait+state> aus.

Was ist unter der Bezeichnung „Minimierung der semantischen Lücke“ zu verstehen? Wo wurde dieser Ausdruck benutzt und weshalb kam es zu diesem „Ziel“?

Aufgabe 5. *RISC*

Zitieren Sie das Designprinzip von RISC-CPU's. Was bedeutet RISC und aus welchem Grund trat das RISC-Designprinzip in Konkurrenz zum seinerzeit vorherrschenden CISC-Designprinzip?

Was ist ein μ P-Speicher? In welchen Typen von CPU's tritt er auf und wo ist er innerhalb der CPU lokalisiert?

Diskutieren Sie mindestens sechs Eigenschaften, die RISC-CPU's von den zu Zeiten der Einführung von RISC-Rechnern üblichen CISC-CPU's typischerweise unterscheiden.

Warum sind bei RISC-Rechnern *optimierende Compiler* noch wichtiger als bei CISC-Rechnern?

Beschreiben Sie in eigenen Worten das Prinzip einer Befehls-Pipeline. Was ist in diesem Zusammenhang unter den Begriffen Latenz und (Befehls-)Durchsatz zu verstehen? Welche Probleme können beim Betrieb einer Pipeline entstehen? Was versteht man unter dem „stalling“ in einer CPU (siehe <http://en.wikipedia.org/wiki/Stalling>)?