



Aufgabe 1:

Was ist bei INTEL-basierten Computersystemen unter *Frontsidebus (FSB)*, *Northbridge* und *Southbridge* zu verstehen?

Aufgabe 2:

Was ist unter *Branch Prediction* und *Branch History Table* zu verstehen?

In welchen Stufen des klassischen vierstufigen Pipelinebetriebs (*fetch*, *decode*, *execute*, *write*) wird in welcher Form auf die Tabelle zugegriffen?

Aufgabe 3:

Was verstehen Sie unter *Speculative Execution* und aus welchen Gründen wird sie verwendet?

Aufgabe 4:

Skizzieren Sie die SPARC-Architektur (V8) mit den drei Prozessoren sowie dem Bussystem.

Warum muß auch die Integer Unit (IU) auf den Inhalt des *floating point state register (FSR)*, in dem der Status der Fließkommaeinheit (FPU) abgelegt ist, zugreifen?

Aufgabe 5:

Worin unterscheidet sich die Parallelverarbeitung der *EPIC-Architektur* vom parallelen Dispatch des sequentiellen Befehlsstroms etwa bei UltraSPARC (SPARC V9) durch die „Prefetch and Dispatch Unit“?

Beim *HyperThreading* stellt sich der INTEL Pentium 4 Xeon nach außen hin als zwei Prozessoren dar. Inwiefern unterscheidet sich dies von der EPIC-Architektur?

Ende der Bearbeitungszeit: 12. Juli 2002