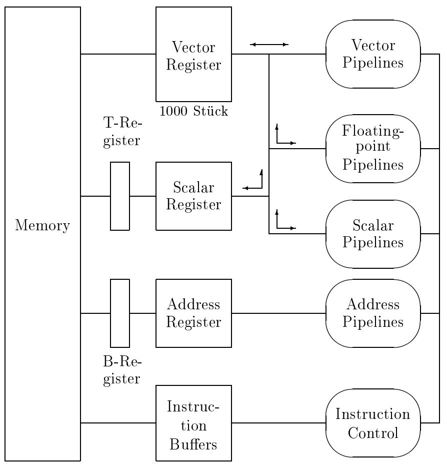
Beispiel: Cray-1 (1976)

mehrere parallel arbeitende Piplines,
viele Register,
Taktzeit $\sim$ 12.5 ns

} peak_Leistung: $\boxed{\text{250 MFlops}}$

Abbildung 1.15: Rechnerstruktur eines Cray-1-Rechners



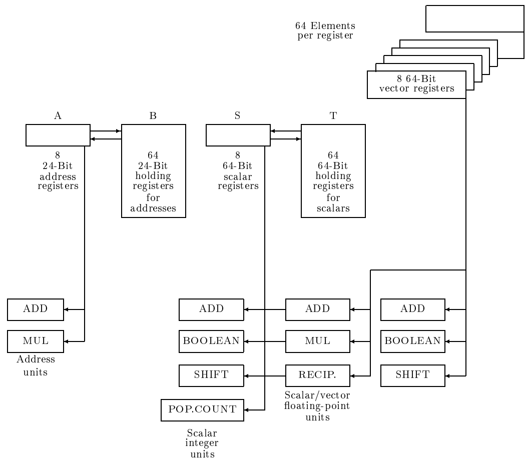
Chaining von Pipelines

Vector Pipelines – Additionen
– Verschieben
– logische Operationen
} von Ganzzahlvektoren

Floatingpoint Pipelines – Additionen
– Multiplikationen
– Divisionen
} von Gleitkommazahlvektoren

Address Pipelines – Adreß-Multiplikationen
– Adreß-Additionen

Abbildung 1.16: Die Register und Funktionseinheiten einer Cray-1



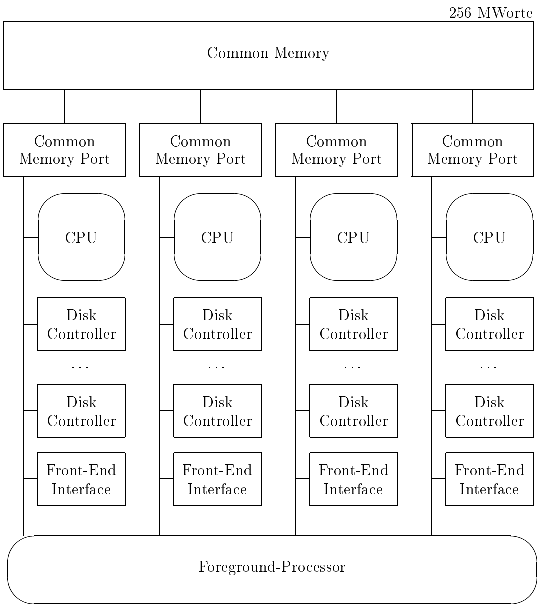
Weitere Geschwindigkeitssteigerungen[1] sind erreichbar durch

ein speichergekoppeltes **Multiprozessorsystem**, das mehrere Zentraleinheiten (MIMD = „multiple instruction multiple data") oder nur mehrere ALU's (SIMD = „single instruction multiple data") enthalten kann.

[1]Selbst heutige PC-CPUs enthalten parallel benutzbare Funktionseinheiten (ein oder mehrere Integer-Units, ein oder mehrere FP-Units, ...), die häufig im Sinne einer Pipeline arbeiten (z.B. beim Pentium: zwei 32 Bit-Integer-Pipelines und eine FP-Pipeline). Naturgemäß sind Programme aus wenigen einfachen Befehlen viel besser parallel zu „dispatchen" (zur parallelen Abarbeitung vorzubereiten und „in Marsch zu setzen"), weshalb das CISC-RISC-Translatorprinzip des PentiumPro zwar genaugenommen einer Microcode-CPU entspricht, aber das Design des „Microcodes" als RISC-Code bessere Parallelisierbarkeit und deshalb schnellere CPUs ermöglicht (PentiumPro: dreiweg Superskalarausführung, „speculative execution", „branch prediction", 14-stufige Superpipeline).

1.4.3 SIMD- und MIMD-Parallelrechner

Abbildung 1.17: CRAY-2 (Juni 1985)

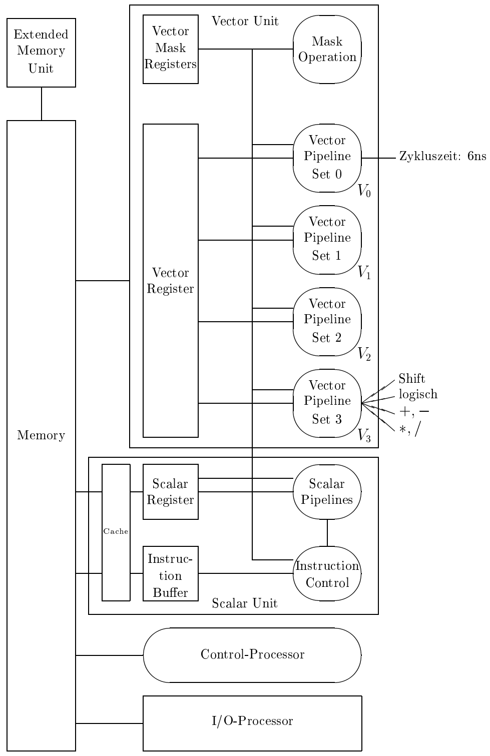


Rechnerstruktur eines Cray-2-Rechners 6...12× schneller als Cray-1

Cray-3	16 CPU's mit 2ns Taktzeit	
Cray-4	64 CPU's mit 1ns Taktzeit	$\sim$ 128 GFLOPS ($\sim$ 1000× Cray-1)
Cray T90[2]	32 CPU's mit je 2 Vektorpipelines	$\sim$60 GFLOPS
Cray Origin 2000	2048 CPU's	$\sim$2.5 TFLOPS
Cray T3E-1200[3]	2048 CPU's	$\sim$2.5 TFLOPS

[2]Vgl. auch `http://www.cray.com/hpc/`
[3]Vgl. auch `http://www.cray.com/products/systems/crayt3e/1200/`

Abbildung 1.18: NEC-SX2 SIMD, mehrere Pipelines



Überlappende Abarbeitung der Vector-Pipeline-Sets:

V_0 1,5,9,...
V_1 2,6,10,...
V_2 3,7,11,...
V_3 4,8,12,...

nichtsichtbar, automatisch
Start-Up-Zeit: 60ns

NEC SX-3/11 mit:

- 256MB Hauptspeicher
- 1GB Erweiterungsspeicher (max. 2GB)
- 20GB Platte
- IBM 3084Q als „front end" Rechner
- 2.9 ns Zykluszeit
- skalar: 170 MFlops peak, vektoriell: 4× 345MFlops = 1.386GFlops pro Vektorpipeline

SX-3/44 mit:

4 Pipelines pro CPU → 5.5 GFlops/CPU
4 CPU's in Modell 44 → 22 GFlops

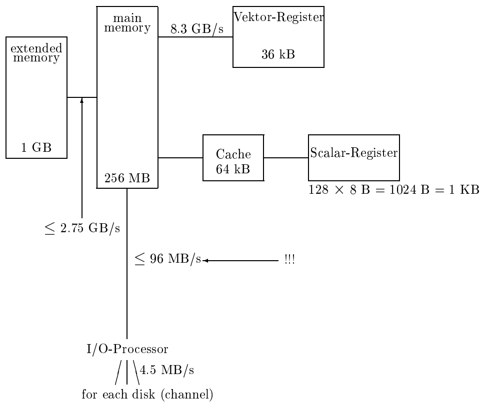
NEC SX-4 mit: [4]

- 512 CPUs mit je 8 Pipelines → 1 TFlops[5]

[4] Vgl. `http://www.nec.com`
[5] Vgl. `http://wombat.doc.ic.ac.uk/foldoc/foldoc.cgi?prefix`

Kritisch bei High-Performance Rechnern ist auch heute noch, das I/O-Subsystem mit einer geeignet hohen Durchsatzrate an die CPUs zu koppeln:

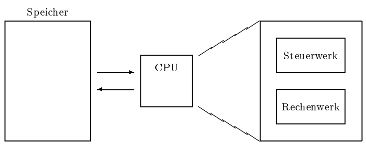
Abbildung 1.19: Systemarchitektur und Datendurchsatz



Einen Überblick zu den jeweils aktuell leistungsstärksten Supercomputern bietet:

`http://top500.rz.uni-mannheim.de/`

1.4.4 Mehrprozessorsysteme



Welche der Systemeinheiten wird vervielfältigt?

- ALU
- ALU und Steuerwerk
- ALU, Steuerwerk und Speicher

Tabelle 1.11: Klassifikation von Mehrprozessorsystemen

	CPU's		Memory	Beispiel
	Steuerwerke	Rechenwerke		
von Neumann	1		1	„alte" PCs
Vektorrechner	1	N	1	Cray-1
Multiprozessor-Vektorrechner	M (mit je N Rechenwerken)		1	Cray-2

Bemerkung: Rechenwerke oder Pipelines